

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

26  
CLIPPEDIMAGE= JP408222682A

PAT-NO: JP408222682A

DOCUMENT-IDENTIFIER: JP 08222682 A

TITLE: LEAD FRAME AND MANUFACTURING METHOD THEREOF

PUBN-DATE: August 30, 1996

INVENTOR-INFORMATION:

YAMADA, JUNICHI  
KAMI, TOMOE  
SASAKI, MASARU

ASSIGNEE-INFORMATION:

NAME  
DAINIPPON PRINTING CO LTD

COUNTRY  
N/A

APPL-NO: JP07047919

APPL-DATE: February 14, 1995

INT-CL (IPC): H01L023/50;H01L021/60

ABSTRACT:

PURPOSE: To provide a lead frame adaptable to multi-terminal design of semiconductor devices and after-process such as assembling and mounting steps by making one face of the top end of each inner lead parallel to the faces of other parts thereof and the other three faces thereof recessed.

CONSTITUTION: A lead frame 10 for resin-sealed semiconductor devices mounts a semiconductor element on inner lead tip parts 11A through bumps and electrically connects it to external circuits by outer leads 12 integrated with inner leads 11. The tip part 11A is thinner than other parts of the frame 10 and nearly rectangular in cross-section. One face of the

part 11A is parallel  
to other parts faces of the frame 10 and other three faces  
of the lead 11 are  
made recessed.

COPYRIGHT: (C)1996, JPO

(51) IntCl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/50			H 0 1 L 23/50	U
				A
21/60	3 1 1		21/60	3 1 1 R

(21) 出願番号 特願平7-47919  
(22) 出願日 平成7年(1995)2月14日

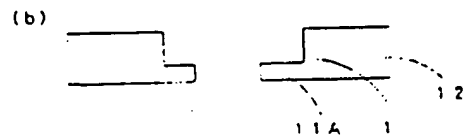
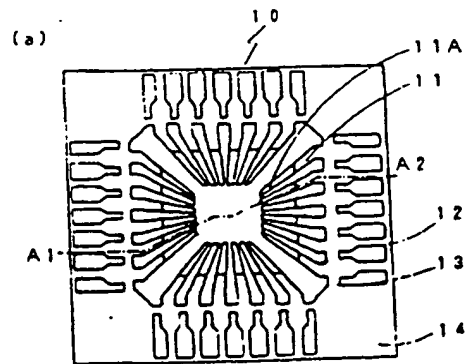
(71) 出願人 000002897  
大日本印刷株式会社  
東京都新宿区市谷加賀町一丁目1番1号  
(72) 発明者 山田 淳一  
東京都新宿区市谷加賀町一丁目1番1号  
大日本印刷株式会社内  
(72) 発明者 上 智江  
東京都新宿区市谷加賀町一丁目1番1号  
大日本印刷株式会社内  
(72) 発明者 佐々木 賢  
東京都新宿区市谷加賀町一丁目1番1号  
大日本印刷株式会社内  
(74) 代理人 弁理士 小西 淳夫

(54) 【発明の名称】 リードフレームおよびその製造方法

(57) 【要約】

【目的】 半導体装置の多端子化に対応でき、且つ、アセンブリ工程や実装工程等の後工程にも対応できる高精細なリードフレームを提供する。

【構成】 半導体素子をバンプを介してインナーリード先端部に搭載し、インナーリードと一体となって延設したアウターリードにより半導体素子と外部回路とを電気的に接続する。樹脂封止型半導体装置用リードフレームであって、インナーリード先端部は、板厚がリードフレームの他の部分の板厚よりも薄く、断面形状が略方形であり、且つ、該インナーリード先端部の1面はリードフレームの他の部分の面に平行で、前記インナーリードの他の3面は凹状に形成されている。



【特許請求の範囲】

【請求項1】 半導体素子をパッケージを介してインナーリード先端部に搭載し、インナーリードと一体となって延設したアウターリードにより半導体素子と外部回路とを電気的に接続する、樹脂封止型半導体装置用リードフレームであって、インナーリード先端部は、板厚がリードフレームの他の部分の板厚よりも薄く、断面形状が略方形であり、且つ、該インナーリード先端部の1面はリードフレームの他の部分の面に平行で、前記インナーリードの他の3面は凹状に形成されていることを特徴とするリードフレーム。

【半導体素子】半導体素子は、例えば、インナーリード先端部に搭載し、インナーリードに一体となって延設したアウトリードにより半導体素子と外部回路とを電気的に接続する、樹脂封止型半導体装置用リードフレームであって、半導体素子をパンプを介して搭載するインナーリード先端部は、板厚をリードフレームの他の部分の板厚よりも薄く、断面形状が略方形であり、前記インナーリード先端部の一面はリードフレームの他の部分の面に平行で、前記インナーリードの他の一面は凹状に形成されていることを特徴とするリードフレームをエッチングプロセスによって作製する方法であって、少なくとも順に、

(A) リードフレーム素材の両面に感光性レジストを塗布する工程。

(D) 前記リードフレーム素材に対し、一方の面は、少なくとも半導体素子をパワヅを介して搭載するインナーリード先端部形成領域において平坦状に隔壁するためのパターンが形成されたパターン版にて、他方の面は、インナーリード先端部形状を形成するためのパターンが形成されたパターン版にて、それぞれ、感光性レジストを露光して、所定形状の開口部を持つレジストパターンを形成する工程。

(C) 少なくとも、インサーリード先端部形状を形成するための、所定形状の開口部をもつレジストパターンが形成された面を臨み、腐蝕液による第一のエッチング加工を行い、凹陥されたインサーリード先端部形成領域において、所定量だけエッチング加工して止むる工程。

(1) インサード先部形状を形成するためのパターンが形成された面側の腐蝕された部分に、耐エッチング性のあるエッチング抵抗膜を埋め込む工程。

(E) 平坦状に腐蝕するためのパターンが形成された面側から、腐蝕液による第2のエッチング加工を行い、通過させ、インサートリード部を形成する工程。

(D)上記エーサシキ阻抗剤、トシスリ膜を剥離し、洗淨する工程を含むことを特徴とするリードフレームの製造方法

( 1990 年 1 月 1 日 )

{ . . . } .

[47.1 (1931, 11) : 4 P., 1500 冊, 500 部, 1 冊]

介してインナーリード先端部に搭載するための樹脂封止型半導体装置用リードフレームとその製造方法に関する。特に、フリップチップ法により半導体素子をインナーリード先端部に搭載するためのリードフレームに関する。

{ 0002 }

【従来の技術】従来より用いられている樹脂封止型の半導体装置（プラスチックリードフレームパッケージ）

は、一般に図6(a)に示されるような構造であり、半導体装置60は、半導体素子を42%ニッケル-鉄合金等からなるリードフレームに搭載した後に、樹脂61により封入してパッケージとしたもので、半導体装置60

の電圧パッド61らに対応する数のインナーリード部62を必要とするものである。そして、半導体素子61を搭載するダイパッド部62や周囲の回路との電気的接続を行うためのアウターリード部64、アウターリード部64に一体となったインナーリード部63、該インナーリード部63の先端部と半導体素子61の電圧パッド61らとを電気的に接続するためのワイヤ67、半導体素子61

1)を封止して外界からの応力、汚染からする微細ひびきからなっている。このようなリードフレームを利用した樹脂封止型の半導体装置(プラスチックリードフレームパッケージ)においても、電子機器の軽薄短小化の時流と半導体素子の高集積化に伴い、小型薄型化かつ電極露出面積の増大が要求され、その結果、樹脂封止型半導体装

置、特にQFP (Quad Flat Package) 及びTFQP (Thin Quad Flat Package) 等では、リードの多ピン化が著しくなってきた。上記の半導体装置に用いられるリードフレームは、微細なものはフォトリソグラフィ技術を用いたエッチング加工方法により作製され、微細でないものはプレスによる加工方法による作製されるのが一般的であったが、このような半導体装置の多ピン化に伴い、リードフレームにおいても、インナーリード部先端の微細化が進み、微細なものに対しては、プレスによる打ち抜き加工によらず、リードフレーム部材の板厚が0.25mm程度のもを用い、エッチング加工で対応してきた。こ

のエッチング加工方法の工程について以下、図5に基づいて簡単に述べておく。先ず、銅合金もしくは1-2%ニッケル-鉄合金からなる厚さ0.25mm程度の薄板（リードフレーム素材51）を十分洗浄（図5（a））した後、重クロム酸カリウムを感光材とした水溶性カゼインレジスト等のフォトレジスト52を該薄板の両表面に均一に塗布する。（図5（b））

次に、所定のパターンが形成されたマスクを介して高圧水銀灯でレジスト層を露光した後、所定の現像液で該感光性レジストを現像して図4(c)のレジストパターンを形成し、乾燥処理、洗浄処理等を必要に応じて行う。露光装置は露光光源、光学系及びマスク等の構成要素を有する。露光装置は、露光光源として、例えば、水銀灯、エキシマレーザー、イオンレーザー、

51)に吹き付け所定の寸法形状にエッチングし、乾燥させる。(図5(d))

次いで、レジスト膜を剥離処理し(図5(e))、洗浄後、所望のリードフレームを得て、エッチング加工工程を終了する。このように、エッチング加工等によって作製されたリードフレームは、更に、所定のエリアに銅メッキ等が施される。次いで、洗浄、乾燥等の処理を経て、インナーリード部を固定用の接着剤付きポリイミドテープにてテーピング処理したり、必要に応じて所定の量タブ吊りバーを曲げ加工し、ダイパッド部をダウンセットする処理を行う。しかし、エッチング加工方法においては、エッチング液による凹陥に追加加工が困難なものの他に放熱(面)方向にも進むため、その微細化加工にも限度があるのが一般的で、図5に示すように、リードフレーム素材の両面からエッチングするため、ラインアンドスペース形状の場合、ライン間隔の加工限度幅は、板厚の50~100%程度とされている。又、リードフレームの後工程等のアウターリードの強度を考えた場合、一般的には、その板厚は約0.125mm以上必要とされている。この為、図5に示すようなエッチング加工方法の場合、リードフレームの板厚を0.15mm~0.125mm程度まで薄くすることにより、ワイヤボンディングのための平坦幅が少なくとも70~80μm必要であることより、0.165mmピッチ程度の微細なインナーリード部先端のエッチングによる加工を達成してきたが、これが限度とされていた。

【0003】しかしながら、近年、樹脂封止型半導体装置は、小パッケージでは、電極端部にあるインナーリードのピッチが0.165mmピッチを経て、既に0.15~0.13mmピッチまでの狭ピッチ化要求ができた事と、エッチング加工において、リード部材の板厚を薄くした場合には、アセンブリ工程や実装工程といった後工程におけるアウターリードの強度確保が難しいという点から、単にリード部材の板厚を薄くしてエッチング加工を行う方法にも限界が出てきた。

【0004】これに対応する方法として、アウターリードの強度を確保したまま微細化を行う方法で、インナーリード部分をハーフエッチングもしくはプレスにより薄くしてエッチング加工を行う方法が提案されている。しかし、プレスにより薄くしてエッチング加工をおこなう場合には、後工程においての精度が不足する(例えば、めっきエリアの平滑性)、ボンディング、モールドイング時のクラックに必要なインナーリードの平坦性、寸法精度が確保されない、製版を2度行なわなければならない等製造工程が複雑になる、等問題点がある。そして、インナーリード部分をハーフエッチングにより薄くしてエッチング加工を行う方法の場合にも、製版を2度行なわなければならない等製造工程が複雑になるという問題がある。従って、実用化には、このような問題点を克服する必要がある。

【0005】一方、樹脂封止型半導体装置の多端化に対応すべく、上記のリードフレームを用いて半導体素子の端部とリードフレームのインナーリード先端部とをワイヤボンディングする方法とは異なる、半導体素子をバンプを介して外部回路と接続するための導体上に搭載するフリップチップ法が提案されている。この方法は、一般には図7に示すように、セラミック材料よりなる基板73上に配線(インナーリード)72を配し、その配線(インナーリード)72の電極部(インナーリード先端部)72A上に半導体素子70をバンプ71を介して搭載するものである。しかしながら、この方法の場合、配線72の電極部72Aと半導体素子70の電極部72Aとを互い合わせて接続する時にバンプ71が電極部72Aよりズレてしまい、電気的接続がうまくいかないという問題点があり、このフリップチップ法により、リードフレームのインナーリード先端部に半導体素子を搭載した、樹脂封止型半導体装置も考えられたが、特に高精細なリードフレームを用いたものは実用に至っていない。

【0006】

【発明が解決しようとする課題】このように、樹脂封止型半導体装置の多端化に対応でき、且つ、アセンブリ工程や実装工程等の後工程にも対応できるリードフレームが求められていた。本発明は、このような状況のもと、半導体装置の多端化に対応でき、且つ、後工程にも対応できる高精細なリードフレームを提供しようとするものであり、又、そのような高精細なリードフレームの製造方法を提供しようとするものである。

【0007】

【課題を解決するための手段】本発明のリードフレームは、半導体素子をバンプを介してインナーリード先端部に搭載し、インナーリードと一体となって延設したアウターリードにより半導体素子と外部回路とを電気的に接続する、樹脂封止型半導体装置用リードフレームであって、インナーリード先端部は、板厚がリードフレームの他の部分の板厚よりも薄く、断面形状が略方形であり、且つ、該インナーリード先端部の1面はリードフレームの他の部分の面に平行で、前記インナーリードの他の3面は凹状に形成されていることを特徴とするものである。また、本発明のリードフレームの製造方法は、半導体素子をバンプを介してインナーリード先端部に搭載し、インナーリードと一体となって延設したアウターリードにより半導体素子と外部回路とを電気的に接続する、樹脂封止型半導体装置用リードフレームであって、半導体素子をバンプを介して搭載するインナーリード先端部は、板厚がリードフレームの他の部分の板厚よりも薄く、断面形状が略方形であり、前記インナーリード先端部の1面は、リードフレームの他の部分の面に平行で、前記インナーリードの他の3面は凹状に形成されていることを特徴とするものである。

によって作製する方法であって、少なくとも順に、  
 (A) リードフレーム素材の両面に感光性レジストを塗布する工程、(B) 前記リードフレーム素材に対し、一方の面は、少なくとも半導体素子をバンプを介して搭載するインナーリード先端部形成領域において平坦状に腐蝕するためのパターンが形成されたパターン版にて、他方の面は、インナーリード先端部形状を形成するためのパターンが形成されたパターン版にて、それぞれ、感光性レジストを露光して、所定形状の開口部を持つレジストパターンを形成する工程、(C) 少なくとも、インナーリード先端部形状を形成するための、所定形状の開口部が形成されたパターン版を用いて、平坦状に腐蝕することによる第一のエッチング加工を行い、腐蝕されたインナーリード先端部形成領域において、所定量だけエッチング加工して止める工程、(D) インナーリード先端部形状を形成するためのパターンが形成された面側の腐蝕された部分に、耐エッチング性のあるエッチング抵抗層を埋め込む工程、(E) 平坦状に腐蝕するためのパターンが形成された面側から、腐蝕液による第二のエッチング加工を行い貫通させて、インナーリード先端部を形成する工程、(F) 上記エッチング抵抗層、レジスト膜を剥離し、洗浄する工程、を含むことを特徴とするものである。尚、上記において、平坦状に腐蝕するとは、リードフレーム素材の一方の面から、腐食を行う際に、腐食による形成面(腐蝕面)を略平坦状(バタ状)としながら腐食することであり、平坦状に腐蝕をつけることにより、既に形成されているインナーリード先端部形成のためのレジストパターンが形成されている面の腐蝕部の一部と貫通させて、インナーリード先端部を形成する。又、上記において、凹状に形成されているとは、インナーリード側にへこんだ凹状であることを意味する。  
 【0008】本発明のリードフレームの製造方法は、半導体装置の多端子化に対応したエッチングプロセスによる加工方法であり、第一のエッチング加工により、少なくとも、インナーリード先端部形状を形成するための、所定形状の開口部をもつレジストパターンが形成された面側の腐蝕されたインナーリード先端部形成領域に、インナーリード先端部の(平面的な意味での)外形形状を実質的に形成してしまうものである。したがって、第一のエッチング加工において、所定量だけエッチング加工して止めるとは、インナーリード先端部の外形形状を実質的に形成できる量のエッチング加工でとめるという意味である。そして、第一のエッチング加工により腐蝕形成された、インナーリード先端部形状を形成するためのパターンが形成された面側の腐蝕された部分に、耐エッチング性のあるエッチング抵抗層を埋め込むことにより、第一のエッチング工程によって形成されているインナーリード先端部形状を保持しながら、平坦状に腐蝕するためのパターンが形成された面側から、腐蝕液による第二のエッチング加工を行い、インナーリード先端部

形成している。尚、第一のエッチング工程において、平坦状に腐蝕するためのパターンが形成された面側から腐蝕を行い、即ちリードフレーム素材の両面から腐蝕を行う、図4に示す方法の方が、インナーリード先端部形状を形成するための、所定形状の開口部をもつレジストパターンが形成された面側からのみ腐蝕を行う場合よりも、エッチング加工時間は短縮され、作業上メリットがある。

#### 【0009】

【作用】本発明のリードフレームは、上記のような構成にすることにより、半導体素子をバンプを介してインナーリード先端部に搭載するインナーリード先端部形成領域において、半導体装置作製の後工程にも対応できる、高精細なリードフレームの提供を可能としているものであり、結果として半導体装置の一層の多端子化を可能としている。詳しくは、半導体素子をバンプを介して搭載するインナーリード先端部のみをリードフレーム素材の板厚より薄くしてしていることにより、リードフレーム全体の強度を、全体がリードフレーム素材の板厚の場合とほぼおなじ強度に保ちながら、インナーリード部の微細加工を可能としている。半導体素子をバンプを介して搭載するインナーリード先端部のバンプとの接接触面が凹状になっていることにより、バンプ接接触面における位置ズレが発生してもバンプと前記接接触面とが電気的接接触を行い易くしている。そして、バンプとの接接触面を凹状としてバンプとの接接触面を挟む2面を凹状としていることにより、変形しにくいものとしている。また、本発明のリードフレームの製造方法は、このような構成にすることにより、半導体素子をバンプを介して搭載するインナーリード先端部の素子搭載面を凹状として、該素子搭載面を挟む両面を凹状に形成した、上記本発明のリードフレームの製造を可能にするものである。そして、第一のエッチング加工後、インナーリード先端部形状を形成するためのパターンが形成された面側の腐蝕された部分に耐エッチング性のあるエッチング抵抗層を埋め込んだ後に、第二のエッチング加工を行うことにより、インナーリード先端部の加工は、素材自体の厚さより薄い、薄肉部を外形加工することとなり、微細加工が可能となる。そして、板厚を全体的に薄くせず、半導体素子をバンプを介して搭載するインナーリード先端部形成領域のみを薄くして加工する為、加工時には、板厚を全体的に薄くした場合と比べリードフレーム素材全体を強固なものとしている。

#### 【0010】

【実施例】本発明のリードフレームの実施例を図1に示して説明する。図1は本実施例リードフレームの平面図であり、図1(a)はA-A'線における断面図で、図1(b)はB-B'線における断面図である。図1(a)は半導体素子を搭載した場合の断面図であり、図1(b)は半導体素子を搭載していない場合の断面図である。図1(a)は半導体素子を搭載した場合の断面図であり、図1(b)は半導体素子を搭載していない場合の断面図である。





ング時における程度の柔軟性のあるものが、好ましく、特に、上記ワックスに限定されず、いり硬化型のものでも良い。このようにエッチング抵抗層48をインナーリード先端部の形状を形成するためのパターンが形成された面側の腐蝕された第二の凹部46に埋め込むことにより、後工程でのエッチング時に第二の凹部46が腐蝕されて大きくならないようにしているとともに、高精細なエッチング加工に対しての機械的な強度補強をしており、スプレー圧を高く(2.5 kg/cm<sup>2</sup>)とすることができ、これによりエッチングが深さ方向に進行し易くなる。その後、へタ状(平坦状)に腐蝕された第一の凹部45形成面側からリードフーム部41をエッチングし、貫通させ、インナーリード先端部49を形成した。(図4(d))

この際、インナーリード先端部のエッチング形成面49Sはインナーリード側にへこんだ凹状になる。また、先の第1回目のエッチング加工にて作製された、エッチング形成面49Sを挟む2面もインナーリード側にへこんだ凹状である。次いで、洗浄、エッチング抵抗層48の除去、レジスト膜(レジストパターン42A、42B)の除去を行い、インナーリード先端部49が露出加工された図4(a)に示すリードフレームを得た。エッチング抵抗層48とレジスト膜(レジストパターン42A、42B)の除去は水酸化ナトリウム水溶液により溶解除去した。

【0013】尚、上記実施例においては、エッチング加工にて、図3(a)に示ように、インナーリード先端部から導体部15を延設し、インナーリード先端部同士を繋げた形状にして形成したものを得て、導体部15をプレス等により切断除去して図1(a)に示す形状を得る。図3(a)に示すものを切断し、図1に示す形状にする際には、図3(b)に示すように、通常、補強のためポリイミドテープを使用する。図3(b)の状態で、プレス等により導体部15を切断除去し、図2(a)、図2(b)に示すように半導体素子20をインナーリード先端部11Aにパッド21を介して搭載した後、図6(a)に示すワイヤボンディング機械のものと同様に、樹脂封止をするが、半導体素子は、テープをつけた状態のままで、図6(b)のように搭載され、そのまま樹脂封止される。

【0014】尚、本方法によるインサード先端部49の微細化加工は、第2の凹部48の形状と、最終的に得られるインサード先端部の厚さしに左右されるもので、例えは、板厚を500 $\mu$ mまで薄くすると、図4(e)に示す、平坦幅Wを100 $\mu$ mとして、インサード先端部チップ10、15 $\mu$ mまで微細加工が可能となる。板厚を300 $\mu$ m程度まで薄くし、平坦幅Wを70 $\mu$ m程度とすると、インサード先端部チップ10、15 $\mu$ m程度は、微細加工にできる。板厚を200 $\mu$ m程度とすると、平坦幅Wを50 $\mu$ m程度とすると、インサード先端部チップ10、15 $\mu$ m程度は、微細加工にできる。

これは更に低いピッチまで作製が可能となる。

(0015)

【発明の効果】本発明のリードフレームは、上記のように、半導体素子をバンパを介してインナーリード先端部に搭載する、樹脂封止型半導体装置に用いられるリードフレームにおいて、バンパとバンパを搭載するインナーリード先端部との位置ズレが起きても、電気的接続がしやすいものの提供を可能とするものであり、且つ、エッチング加工にてインナーリード先端部の微細加工が可能な構造としている。又、本発明のリードフレームの製造方法は、半導体装置の多端子化に伴う、リードフレームのインナーリード先端部の小ピッチ化・微細化に対応でき、且つ、半導体装置作製のためのアセンブリ工程や実装工程等の後工程にも対応できる、上記本発明のリードフレームの製造を可能とするものである。結局、本発明は、半導体装置用のリードフレームで、半導体装置の多端子化に対応でき、且つ、半導体装置作製の後工程にも対応できる、高精細なリードフレームを提供することを可能としている。

(圖面の簡単な説明)

【図1】実施例のリードフレーム

【図2】実施例のリードフレームを説明するための図

【図3】エッチング後のリードフレームの形状等を説明するための図

【図4】本発明実施例のリードフレームの製造工程図

【図5】従来のリードフレームのエッチング製造工程を説明するための図

【图6】出胎时止型半透体示意图

(147) 従来のフリップチップ法を説明するたぐの図

【符号の説明】

10	リードフレーム
11	インナーリード
11A	インナーリード先端部
12	アウターリード
13	ダムバー
14	フレーム部
15	流休
16	テーブ
20, 20a	半橋体素子
21, 21a	バンブ
25, 25a	テーブ
11	リードフレーム素材
12A, 12B	レジストパターン
13	第一の間口部
14	第二の間口部
15	第一の間口部
16	第二の間口部
17	半田状画
18	エッチング抵抗膜
	インナーリード先端部

(7)

特開平8-222000

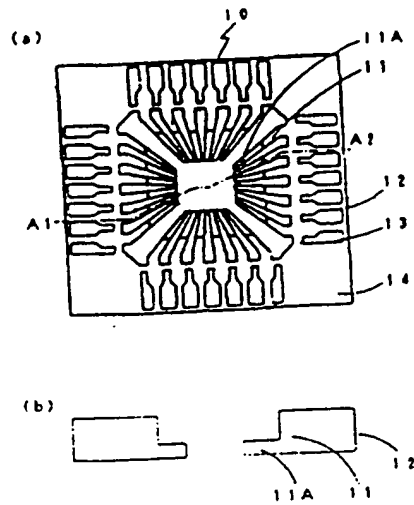
12

- 51 リードフレーム素材  
 52 フォトリソスト  
 53 レジストパターン  
 54 インナーリード  
 60, 60a 樹脂封止型半導体装置  
 61, 61a 半導体素子  
 62 ダンパッド  
 63, 63a インナーリード  
 63aA インナーリード先端部  
 64, 64a アウターリード

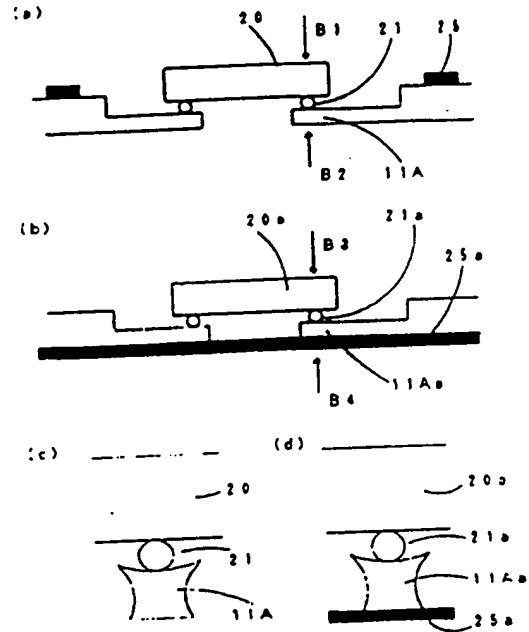
- 65, 65a  
 66  
 67  
 67a  
 70  
 71  
 72  
 72A  
 73  
 10 73

- 12  
 樹脂  
 半導体素子電極部  
 ワイヤ  
 パンア  
 半導体素子  
 パンア  
 配線 (インナーリード)  
 電極部 (インナーリード先  
 セラミック基板

(14)

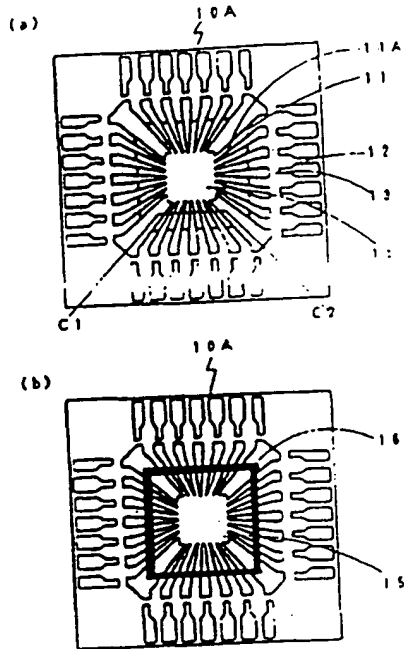


(17)

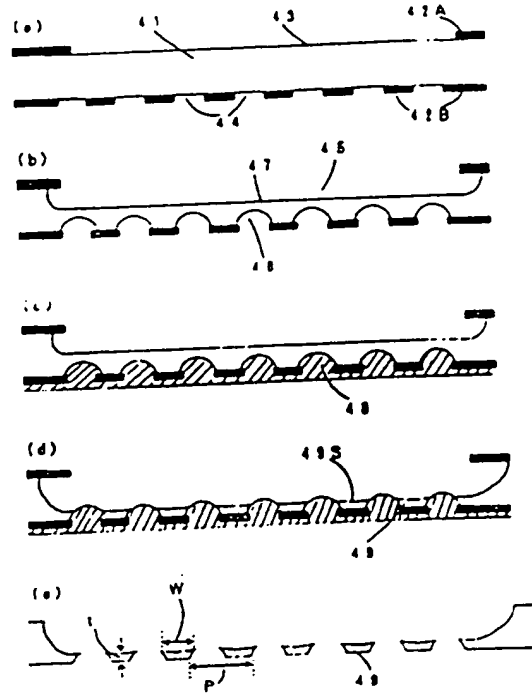


(8)

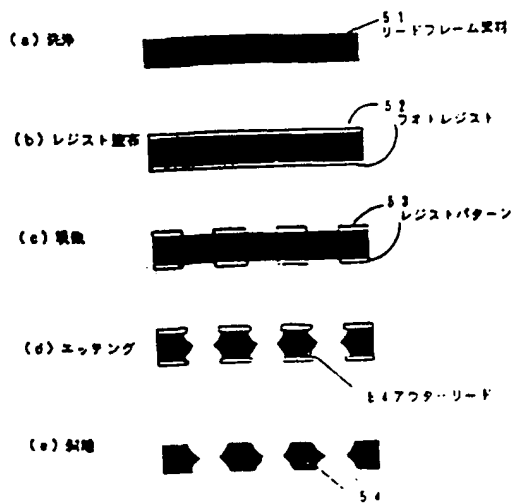
【図5】



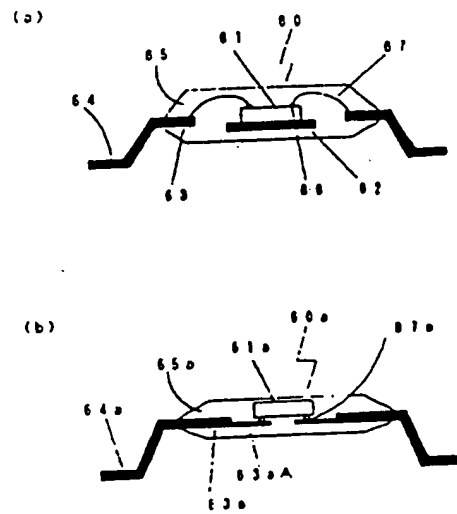
【図4】



【図5】



【図6】



(9)

{147}

